

Dec 14, 1999

DERWENT-ACC-NO: 2000-103123

DERWENT-WEEK: 200254

COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Capacitor arrangement in non-volatile ferroelectric memory - includes ferroelectric substance insulated by pair of silicon nitride and silicon dioxide layers

PRIORITY-DATA: 1999JP-0111477 (August 7, 1990), 1999JP-0139220 (August 7, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11345942 A	December 14, 1999		004	H01L027/10

INT-CL (IPC): H01 L 21/8242; H01 L 21/8247; H01 L 27/10; H01 L 27/108; H01 L 27/115; H01 L 29/788; H01 L 29/792

ABSTRACTED-PUB-NO: JP 11345942A

BASIC-ABSTRACT:

NOVELTY - The capacitor comprising ferroelectric material (109) is fabricated on the silicon substrate (101) which consists of transistors. The capacitor is insulated by silicon nitride and silicon oxide film (113,201) respectively. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for manufacturing method of the capacitor.

USE - For use in non-volatile ferroelectric memory.

ADVANTAGE - Since the ferroelectric capacitor is insulated, when performing oxygen annealing to improve the characteristic of ferroelectric substances, the characteristic of the transistor is not varied. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of semiconductor memory. (101) Silicon substrate; (109) Ferroelectric material film; (113,201) SiN and SiO₂ films.

Dec 14, 1999

PUB-NO: JP411345942A

DOCUMENT-IDENTIFIER: JP 11345942 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: December 14, 1999

INVENTOR-INFORMATION:

NAME

TAKENAKA, KAZUHIRO

COUNTRY

INT-CL (IPC): H01 L 27/10; H01 L 27/115; H01 L 27/108; H01 L 21/8242; H01 L 21/8247; H01 L 29/788; H01 L 29/792

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a ferroelectric memory in which the characteristic of transistor, etc., is hardly changed even by oxygen annealing, by forming an insulation film made mainly of at least SiN between an active element such as a transistor, etc., formed on a semiconductor substrate and a capacitor made of ferroelectric.

SOLUTION: An insulation film 102 for isolating elements, N-type diffusion layers 103 and 104 as source and drain respectively, a gate electrode 105, and a ferroelectric film 109 are formed in sequence on a P-type Si substrate 101, and further an upper electrode 110 and a lower electrode 111 are formed thereon. Then interlayer insulation films 106 and 107 are formed of SiO₂

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-345942

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

27/115

4 3 4

27/108

6 5 1

21/8242

29/78

3 7 1

21/8247

審査請求 有 請求項の数 2 O L (全 4 頁) 最終頁に続く

(21)出願番号

特願平11-139220

(62)分割の表示

特願平11-111477の分割

(22)出願日

平成2年(1990)8月7日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 竹中 計廣

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

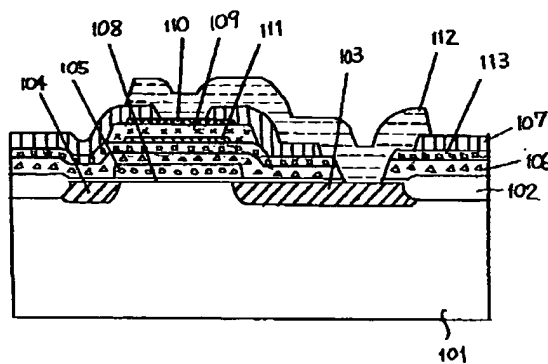
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】酸素アニール時のトランジスタなどの特性の変動を防ぐ。

【解決手段】強誘電体膜からなるキャパシタが、能動素子が形成された同一半導体基板上に集積された半導体装置において、前記半導体基板上に形成されたトランジスタなどの能動素子と、前記強誘電体からなるキャパシタとの間に主成分がS i Nからなる絶縁膜がすくなくとも形成されている。



【特許請求の範囲】

【請求項1】強誘電体膜からなるキャパシタが、能動素子が形成された同一半導体基板上に集積された半導体装置において、前記半導体基板上に形成されたトランジスタなどの能動素子と、前記強誘電体からなるキャパシタとの間に主成分がSiNからなる絶縁膜がすくなくとも形成されていることを特徴とする半導体装置。

【請求項2】前記強誘電体からなるキャパシタと、前記主成分がSiNからなる絶縁膜との間にSiO₂を主成分とする絶縁膜が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記SiNが酸素を含むことを特徴とする請求項1又は請求項2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体を用いた、メモリ、その中でも特に電氣的に書き換え可能な不揮発性メモリの構造に関するものである。

【0002】〔発明の概要〕本発明は、強誘電体膜を用いた、キャパシタを半導体基板上に集積したメモリの構造において、半導体基板上に形成されたトランジスタなどの能動素子と、強誘電体からなるキャパシタとの間に主成分がSiNからなる絶縁膜を形成したことにより、トランジスタ特性の優れ、かつ強誘電体キャパシタの比誘電率などの特性の優れたメモリを得るようにしたものである。

【0003】

【従来の技術】従来の半導体不揮発性メモリとしては、絶縁ゲート中のトラップまたは浮遊ゲートにシリコン基板からの電荷を注入することによりシリコン基板の表面ポテンシャルが変調される現象を用いた、MIS型トランジスタが一般に使用されており、EPROM（紫外線消去型不揮発性メモリ）やEEPROM（電氣的書き換え可能型不揮発性メモリ）などとして実用化されている。

【0004】

【発明が解決しようとする課題】しかしこれらの不揮発性メモリは、情報書き換え電圧が、通常約20V前後と高いことや、書き換え時間が非常に長い（例えばEEPROMの場合数十mSEC）などの欠点を有す。また、情報の書き換え回数が、約10⁵回程度であり、非常に少なく、繰り返し使用する場合には問題が多い。

【0005】電氣的に分極が反転可能である強誘電体を用いた不揮発性メモリについては、書き込み時間と読み出し時間が原理的にほぼ同じであり、また電源を切っても分極は保持されるため、理想的な不揮発性メモリとなる可能性を有する。このような強誘電体を用いた不揮発性メモリについては、例えば米国特許4149302の様に、シリコン基板上に強誘電体からなるキャパシタを

集積した構造や、米国特許3832700のようにMIS型トランジスタのゲート部分に強誘電体膜を配置した不揮発性メモリなどの提案がなされている。また、最近では、第3図において、MOS型半導体装置に積層した構造の不揮発性メモリがIEDM '87PP・850-851に提案されている。第3図において、301はP型Si基板であり、302は素子分離用のLOCOS酸化膜、303はソースとなるN型拡散層であり、304はドレインとなるN型拡散層である。305はゲート電極であり、306は層間絶縁膜である。308はゲート絶縁膜である。309が強誘電体膜であり、電極310と311により挟まれ、キャパシタを構成している。307は第2層間絶縁膜であり、312が配線電極となるAlである。さて、このような構造の強誘電体メモリにおいて、強誘電体の特性を向上させるため、酸素を含む雰囲気中でアニールをする必要がある。このような酸素アニールを行うと、トランジスタのしきい値電圧などの特性の変動が起こる。そこで、本発明はこのような課題を解決するもので、その目的とするところは、強誘電体の特性の向上のために酸素アニールをしてもトランジスタなどの特性の変動のない強誘電体メモリ、特に不揮発性メモリを提供するところにある。

【0006】

【課題を解決するための手段】本発明の半導体装置は、誘電体膜からなるキャパシタが、能動素子が形成された同一半導体基板上に集積された半導体装置において、前記半導体基板上に形成されたトランジスタなどの能動素子と、前記強誘電体からなるキャパシタとの間に主成分がSiNからなる絶縁膜がすくなくとも形成されていることを特徴とする。また、前記強誘電体からなるキャパシタと、前記主成分がSiNからなる絶縁膜との間にSiO₂を主成分とする絶縁膜が形成されていることを特徴とする。また、前記SiNが酸素を含むことを特徴とする。

【0007】

【発明の実施の形態】図1は、本発明の半導体装置の一実施例における主要断面図である。以下、図1において、本発明の半導体装置を説明する。ここでは説明の都合上Si基板を用い、Nチャンネルトランジスタを用いた例につき説明する。

【0008】101はP型Si基板であり、例えば200nm・cmの比抵抗のウエハを用いる。102は素子分離用の絶縁膜であり、例えば、従来技術であるLOCOS法により酸化膜を6000Å形成する。103はソースとなるN型拡散層であり、例えばリンを80KeV 5E15cm⁻²イオン注入することにより形成する。104はドレインとなるN型拡散層であり、103と同時にイオン注入により形成する。105はゲート電極であり、例えばリンでドーパされたポリSiを用いる。108はゲート電極であり、例えば熱酸化法により、Si

3

O₂膜を250Å形成する。109が強誘電であるPbTiO₃、PZT(PbZrO₃、PbTiO₃、PLZT(La、PbZrO₃、PbTiO₃)であり、例えばスパッタ法などにより形成する。111は強誘電体膜の電極うちの一方の電極(以下、下部電極とよぶ)で有り、例えばPt、Al、MoSi、WSiなどであり、スパッタ法で形成する。110は強誘電体膜の電極のうちもう一方の電極(以下、上部電極という)で有り、例えばPt、Al、MoSi、WSiなどであり、例えば

10 106と107は層間絶縁膜であり、例えば気相成長法によりSiO₂膜をそれぞれ3000Å形成する。113が本発明の要旨によるSiNを主成分とする絶縁膜であり、図1の場合には、111の下部電極と106の層間絶縁膜の間に、気相成長法により形成する。112は103のソース拡散層と110の上部電極を接続する配線電極であり、例えばAlで形成する。なお、この112の配線電極はその他の配線、例えばMOSTランジスタ間の接続に使っても良い。

【0009】さて、本発明の作用で圧が、図1のような構造にすることにより、強誘電体のキャパシタを形成後、酸素を含む雰囲気中でアニールした場合でも、酸素は113のSiNで阻止され、SiNの下MOSTランジスタには影響がでなくなり、例えばMOSTランジスタのしきい値電圧もアニール前と変化がない値が得られた。

【0010】図2は本発明の半導体装置の他の実施例における主要断面図である。

【0011】図2の実施例は図1の実施例を比較した場合の特徴は、107の層間絶縁膜と、113のSiN膜との間にさらに201のSiO₂を主成分とする絶縁膜を形成している点にある。

【0012】図1において、111の下部電極は113のSiNと直接していたため、アニール条件によって

4

は、SiNのストレスにより剥がれなどの問題が発生した。図2のように下部電極とSiNの間にSiO₂を挟むことにより、本発明の効果、即ち、酸素を含む雰囲気中でアニールしてもMOSTランジスタの特性が変わらず、かつ、剥がれなどの問題は解決された。

【0013】

【発明の効果】本発明のように、強誘電体膜からなるキャパシタが、集積された半導体装置において、ランジスタなどの能動素子と、強誘電体からなるキャパシタとの間に、主成分がSiNからなる絶縁膜を形成することにより、強誘電体膜の特性の向上のために酸素アニールを行ってもランジスタなどの特性の変動のない半導体装置が得られるという効果を有する。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例における主要断面図。

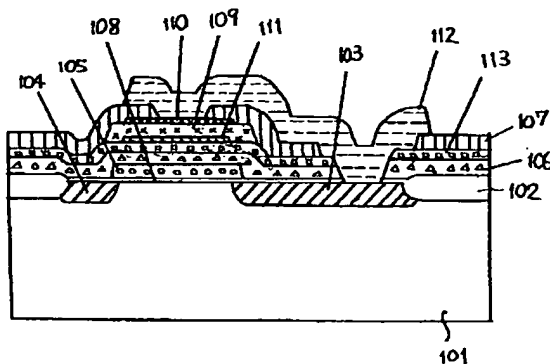
【図2】本発明の半導体装置のための実施例における主要断面図。

【図3】従来の半導体装置における主要断面図。

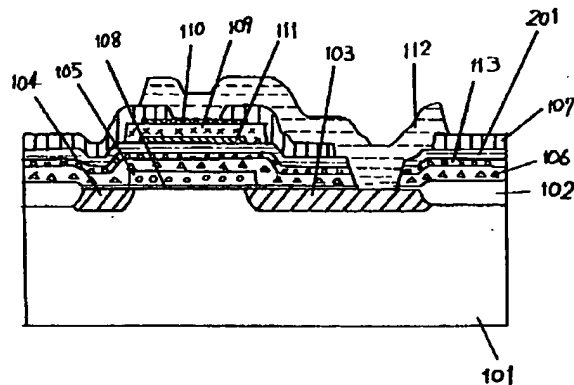
【符号の説明】

- 101、301・・・Si基板
- 102、302・・・素子分離絶縁膜
- 103、303・・・ソース拡散層
- 104、304・・・ドレイン拡散層
- 105、305・・・ゲート電極
- 106、107、306、307・・・層間絶縁膜
- 108、308・・・ゲート電極
- 109、309・・・強誘電体膜
- 110、310・・・上部電極
- 111、311・・・下部電極
- 112、312・・・配線電極
- 113・・・SiN膜
- 201・・・SiO₂膜

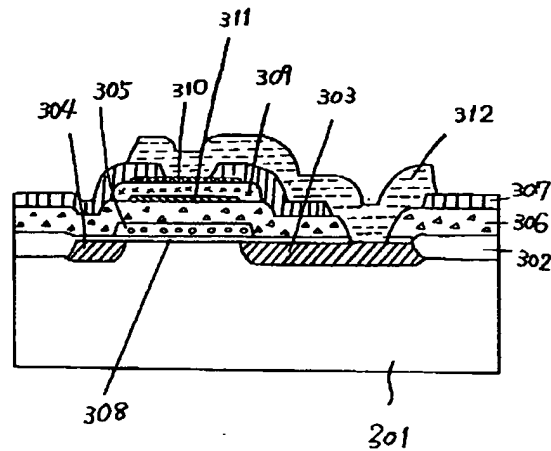
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成11年6月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 強誘電体からなるキャパシタが、能動素子が形成された半導体基板条に形成された半導体装置の製造方法であって、酸素を含む雰囲気中でアニールする工程を含んでなるこ

とを特徴とする半導体装置の製造方法。

【請求項2】 前記アニールする工程は、前記キャパシタを形成する工程の後に行われてなることを特徴とする請求項1記載の半導体装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】本発明の半導体装置の製造方法は、強誘電体からなるキャパシタが、能動素子が形成された半導体基板条に形成された半導体装置の製造方法であって、酸素を含む雰囲気中でアニールする工程を含んでなることを特徴とする。また、上記の方法において、前記アニールする工程は前記キャパシタを形成する工程の後に行われてなることを特徴とする。

フロントページの続き

(51)Int. Cl.⁶

H01L 29/788

29/792

識別記号

F I